1. Adicionar a TLB
   1. **Motivação:** Os alunos podem observar diminuição de acesso a memória principal e ainda permanecer com as vantagens da memória virtual já apresentadas, que é: ter um melhor gerenciamento do espaço da memória principal.
   2. **Objetivo:** Após a adição de uma cache de endereços (TLB) é possível diminuir os acessos a memória principal, melhorando assim o desempenho.
   3. **Detalhamento:** Apresentar que a cada acerto à TLB é menos um acesso à memória principal, ressaltar que quanto mais entradas, isso implicaria em um custo mais elevado. Abrir o arquivo XML para observar os detalhes de uma descrição da arquitetura da TLB. Serão apresentados:
      1. A linha de cadaentrada da TLB
      2. A divisão do endereço em “tag” e “set”.
      3. Como é realizado a tradução de endereços após a adição da TLB
   4. **Arquivos** 
      1. **Arquitetura:** Architecture-10-1-MM-8-VM(PS-4-DM-8-RA-FIFO)-TLB(MS-2-RA-FIFO)
      2. **Rastro:** TR\_1\_read\_5\_cres\_PS\_8
   5. **Resultado**
      1. **O resultado da simulação é:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Memória / Taxas | Acessos de leitura | Acessos de escrita | Page fault  (Page table) | **Tempo total** |
| Page Table | 2 | 2 | 0 | **20** |
| Principal | 7 | 0 |  | **70** |
| Disk | 0 | 0 |  | **0** |
| TLB | 5 | 2 | 2 | **9** |
|  |  |  |  | **TT: 79** |